

Список литературы

1. Автоматизированное проектирование цифровых устройств / С. С. Бадулин, Ю. М. Барнаулов, В. А. Бердышев и др.; Под ред. С. С. Бадулина. — М.: Радио и связь. 1981. — 240 с.
2. Автоматизация проектирования БИС. В 6 кн.: Практ. пособие. /Под ред. Казеннова. — М.: Высш. шк., 1990.
3. Антонов А. П. Язык описания цифровых устройств AlteraHDL. Практический курс. — М.: ИП РадиоСофт, 2001. — 224 с.
4. Антонов А. П., Мелехин В. Ф., Филиппов Ф. С. Обзор элементной базы фирмы Altera. — СПб.: ЭФО, 1997. — 142 с.
5. Астапкович А. М. Микропроцессорные системы (mОСРВ) для встроенных систем управления// в сб. "Информационно-управляющие системы и сети"/ Под общ. ред. М. Б. Сергеева. — СПб: Политехника, 1999. — 248 с.
6. Армстронг Д. Моделирование дискретных систем на языке VHDL / Пер. с англ. Т. А. Теплицкого; Под ред. Ю. А. Татарникова. — М.: Мир, 1992. — 176 с.
7. Баранов С. Н., Котляров В. П., Морозов Н. Б. Технология разработки программного обеспечения микроЭВМ: Учеб. пособие. — Л.: ЛПИ, 1989. — 96 с.
8. Бибило П. Н. Основы языка VHDL. — М.: Солон-Р, 1999. — 200 с.
9. Бродин В. Б., Шагурин И. И. Микроконтроллеры: Архитектура, программирование, интерфейс. — М.: Радио и связь. 1999. — 247 с.
10. Водахо А. И., Горнец Н. Н., Пузанков Д. В. Высокопроизводительные вычислительные системы обработки данных. — М.: Высшая школа, 1997. — 303 с.
11. Глушков В. М., Капитонова Ю. В., Летичевский А. А. О языках описания данных в автоматизированной системе проектирования вычислительных машин (ПРОЕКТ)/ Кибернетика. 1970. № 6. — с. 3—16.

12. Грушин С. И., Душутин И. Д., Мелехин В. Ф. Проектирование аппаратных средств микропроцессорных систем: Учеб. пособие. — Л.: ЛПИ им. Калинина, 1990. — 78 с.
13. Емец С. Verilog — инструмент разработки цифровых систем // Схемотехника, № 1—4, 2001.
14. Кривченко И. Системная интеграция в микроэлектронике — FPSLIC // Chip News. — 1998. — № 3. — с. 4.
15. Майоров С. А. Новиков Г. И. Структуры электронных цифровых вычислительных машин. — Л.: Машиностроение, 1979. — 384 с.
16. Норенков И. П., Маничев В. Б. Основы теории и проектирования САПР: Учеб. для вузов по спец. "Вычислительные маш., компл., сист. и сети". — М.: Высш. шк., 1990. — 335 с.
17. Программируемые логические ИМС на КМОП-структурах и их применение / П. П. Мальцев, Н. И. Гарбузов, А. П. Шарапов, А. А. Кнышев. — М.: Энергоатомиздат, 1998. — 158 с.
18. Прэтт У. Цифровая обработка изображений. Т. 1—2. — М.: Радио и связь, 1983.
19. Рабинер Л. Р., Гоулд Б. Теория и применение цифровой обработки сигналов / Перевод с англ. А. П. Зайцева и др.; Под ред. Ю. Н. Александрова. — М.: Мир, 1978. — 648 с.
20. Разевиг В. Д. Система схемотехнического моделирования Micro-Cap V. — М.: Солон, 1997. — 273 с.
21. Разевиг В. Д. Система проектирования цифровых устройств OrCad. — М.: Солон-Р, 2000. — 160 с.
22. Разевиг В. Д. Система сквозного проектирования электронных устройств DesignLab 8.0. — М.: Солон-Р, 2000. — 698 с.
23. Стешенко В. Б. ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов. — М.: ДОДЕКА, 2000. — 128 с.
24. Соловьев В. В. Проектирование цифровых систем на основе программируемых логических интегральных схем. — М.: Горячая линия — Телеком, 2001. — 636 с.
25. Соловьев В. В., Васильев А. Г. Программируемые логические интегральные схемы и их применение. — Мн.: Беларуская навука, 1998. — 270 с.
26. Уваров А. Р. CAD 2000, ACCEL EDA. Конструирование печатных плат. Учебный курс. — СПб.: Питер, 2001. — 320 с.
27. Угрюмов Е. П. Цифровая схемотехника. — СПб.: БХВ-Петербург, 2000. — 528 с.
28. Угрюмов Е. П., Грушвицкий Р. И., Альшевский А. Н. БИС/СБИС с репрограммируемой структурой: Учеб. пособие. — СПб.: ГЭТУ, 1997. — 96 с.

29. Чу Я. Организация ЭВМ и микропрограммирование. — М.: Мир. 1975. — 592 с.
30. Шалыто А. А. Методы аппаратной и программной реализации алгоритмов. — СПб.: Наука, 2000. — 780 с.
31. Altera Digital Library CD-ROM. — 2001.
32. Altera: The DSP leader for programmable logic // News and Views. Altera. — 2000. — Feb. — pp. 31—32.
33. Altera presents hardcopy devices: the low-risk, low-cost solution for high-density PLD // News and Views. Altera. — 2001. 4 quart. — pp. 31—32.
34. Ashenden P. J. The designer's guide to VHDL. — San Francisco: Morgan Kaufman Publishers. — 1996. — p. 688.
35. Atmel Corporation Programmable Logic and System-Level ICs Data Book. — Atmel Corporation. — 2000.
36. Boundary-Scan Tutorial, ASSET Inter Tech. Inc 2000. — p. 74.
37. Bursky D. Advanced CPLD Architectures Challenge FPGAs, Gas // Electronic Design. — 1998. — № 22. — pp. 78—86.
38. Bursky D. Embedded Logic And Memory Find a Home In FPGA // Electronic Design. — 1999. — № 14. — pp. 43—56.
39. Bursky D. High-Density FPGA Family Delivers Megagate Capacity // Electronic Design. — 1997. — № 25. — pp. 67—70.
40. Chang D., Mazek-Sadowska M. Dynamically Reconfigurable FPGA // IEEE Transaction on Computers. — 1999. — № 6 — pp. 565—578.
41. Cravotta R. EDN's 28th annual microprocessor/microcontroller Directory // Electronic Design News. — 2001. — Sept. 27. — p. 33.
42. Cravotta R., Butler M.H. DSP directory 2001 // Electronic Design News. — 2001. — March 29. — p. 63.
43. Dipert B. ASICs get 'embed' with FPGAs // Electronic Design News. — 1999. — Aug 19. — p. 20.
44. Dipert B. Cunning Circuits Confound Crooks // Electronic Design News. — 2000. — October 12. — pp. 103—112.
45. Dipert B. Programmable — logic directory // Electronic Design News. — 2001. — Aug 30. — p. 36.
46. Dipert B. The best (or worst?) of both worlds // Electronic Design News. — 1999. — Nov 11. — p. 139.
47. Lipman J. New mixed-signal tools // Electronic Design News. — 1999. — June 10. — p. 76.
48. Mercury programmable logic device family. — Altera data sheet. — 2001. — Feb. — p. 83.

49. Maniak D. Design languages vie for system-level dominance // *Electronic Design*. — 2001. — Oct. 1. — pp. 53–59.
50. Nelson Rick. Design Techniques Ensure Testable SOC's Test & Measurement World, September 1999.
51. Palnitcar Samir. Verilog HDL: A guide to digital design and synthesis. — CA.: SunSoft Press. Prentice HALL. — 1998. — p. 467.
52. Salcic Z VHDL and FPGA in Digital systems design, Prototyping and customization. — Boston/London: Kluwer academic Publishers. — 1998. — p. 548.
53. The Programmable Logic Data Book. — Xilinx. — 2000.
54. Thomas D, Moorby P. Verilog — hardware description language. — MA.: Kluwer Academic Publishers, 1994. — p. 320.
55. Verilog HDL Reference manual. — IEEE 1364 standard. — 1997.
56. VHDL для моделирования синтеза и формальной верификации аппаратуры: сб. статей/ Под ред. Ж. Мермье; Пер. с англ. В. В. Топоркова и Т. С. Грудовой; Под ред. В. М. Михова. — М.: Радио и связь, 1995. — 360 с.
57. VHDL'92. Новые свойства языка описания аппаратуры VHDL /Ж.-М. Берже, А. Фонкуа, С. Мажено, Ж. Руйар; Пер. с англ. А. И. Тихонова; Под ред. В. М. Михова. — М.: Радио и связь, 1995. — 256 с.
58. VHDL Language Manual. — IEEE PRESS. — 1994.
59. Weiss R. Programmable Logic Now Bestows Configurability Upon All Kinds Of Chips // *Electronic Design*. — 2001. — May 7. — pp. 58–64.

Предметный указатель

В

BIT_VECTOR 328

С

CPLD — сложные программируемые логические схемы 34

Д

DLL, PLL — схемы управления синхросигналами 76

Ф

FPGA — программируемые пользователем вентильные матрицы 35, 52

И

IP — единицы интеллектуальной собственности 37

С

Soft-ядро:

- ♦ процессора Microblaze 79
 - ♦ процессора NIOS 91
- SOPC:
- ♦ система на программируемом кристалле 36, 67
 - ♦ с однородной структурой 67

А

Автомат:

- ♦ с памятью 215
- ♦ Мура 385, 388
- ♦ Мили 385
- ♦ режим анимации 583

Автоматизация:

- ♦ генерации тестовых векторов 287
- ♦ тестовых процедур 288

Автоматическая генерация тестовых последовательностей 283

Автоматическое создание тестового блока Test-Bench 583

Алфавит:

- ♦ моделирования 310
 - ♦ моделирования девятиэлементный 311
- Аналоговые и смешанные поведенческие модели 204

Аппаратные ядра 37, 68, 69, 91

Архитектурное тело 318

- ♦ поведенческое 320
- ♦ структурное 320, 404

Архитектурно-структурное описание 221

Атрибуты 339

- ♦ массивов 341
- ♦ сигналов 342
- ♦ типов 339

Б

Базовые матричные кристаллы 28

Базовые ячейки 29

Библиотека стандартных фрагментов 172

Библиотека функциональных ячеек 29

БИС/СБИС:

- ◊ заказные 24, 25, 27, 29—31, 35—37, 41, 61, 75, 76, 80, 100, 101, 103, 104, 107—110, 119
- ◊ полузаказные 29
- Блок BDM 294
- Блок управления 215
- Блоки ввода/вывода:
 - ◊ CPLD 43, 50
 - ◊ FPGA 56
- Блочные:
 - ◊ БМК 29
 - ◊ SORC со специализированными ядрами 80
 - ◊ SORC с процессорными ядрами 80
 - ◊ редакторы 215
- Буферные примитивы 485

В

- Вентильные матрицы 28
- Верификация проекта
 - на схемотехническом уровне 200
- Виртуальные компоненты 68, 231, 239, 251
- Внутрикристальная отладка 212, 293, 593
 - ◊ ПЛИС 284
- Внутрисистемное программирование 188
- Внутрисхемная эмуляция 275
- Внутрисхемное программирование 292
- Внутрисхемное реконфигурирование 293
- Встроенные блоки памяти 31, 61, 65, 71, 75, 81, 131
- Встроенные средства самотестирования 282
- Выбор:
 - ◊ САПР 206
 - ◊ типа МП-ядра 180
 - ◊ элементной базы проекта 153
- Вызов:
 - ◊ процедуры 396
 - ◊ функции (Verilog) 456

Г

- Грация быстродействия 119
- Граничное сканирование 266
- Группы:
 - ◊ постоянные 473
 - ◊ временные 477

Д

Декларации:

- ◊ ENTITY 318, 319
- ◊ вхождения подпроекта 497
- ◊ конфигурации 414
- ◊ объектов (VHDL) 324
- ◊ пакета 318, 319, 415
- ◊ прототипов компонентов 405
- ◊ памяти 427
- ◊ подпрограммы (Verilog) 455
- ◊ регистра 424
- ◊ цепи 424
- ◊ цифрового автомата (AHDL) 490
- Декомпозиция проекта 143
- Диапазон 329
- Динамические системы 151
- Директивы компилятора (Verilog) 422
- Дискретная событийная модель 307
- Драйвер сигнала 335, 338, 399, 423

З

- Задача (Verilog) 455

И

- Инструментальный компьютер 181
- Интегрированная среда разработки 149, 591
- Интегрированный пакет разработки PSoC-систем 247
- Интеллектуальная собственность (IP) сторонних фирм 239
- Интерфейсный список 395
- Информационный граф алгоритма 303
- Интегральные схемы:
 - ◊ на стандартных ячейках 26
 - ◊ полностью заказные 26
 - ◊ полузаказные 26
- Итеративное уточнение моделей 256

К

- Календарь событий 307
- Клонирование проектов 106
- Комментарии:
 - ◊ VHDL 321
 - ◊ Verilog 423
- Компиляция:
 - ◊ программ 186
 - ◊ проекта 224

- Конвейерный умножитель 383
- Конвертация проектов 28, 100, 159
 - ◊ из ПЛИС 171
- Контроллер JTAG-интерфейса 275
- Конфигурирование ПЛИС 592
- Кооперационные САПР 209
- Кросс-отладка 187
- Кэш-логика 87

Л

ЛИЗМОП-транзисторы:

- ◊ двухзатворные 40
- ◊ однозатворные 39
- Логические расширители 48

М

- Макроячейки 42
- Маршрут проектирования аналогового блока 202
- Матрицы:
 - ◊ распределения термов 48
 - ◊ соединений 42
- Матричные БИС 29
- Метод:
 - ◊ EPROM-прототипирования 188
 - ◊ верификации 244
 - ◊ внутрисхемной эмуляции 192
 - ◊ встроенного монитора 190
 - ◊ встроенной внутрикристальной отладки 193
 - ◊ стандартных ячеек 145
 - ◊ удаленной отладки 188
- Методология:
 - ◊ "сверху вниз" 143
 - ◊ "снизу вверх" 143
- Механизм JTAG-интерфейса 269
- Моделирование:
 - ◊ аналоговых фрагментов 196
 - ◊ многоуровневое 202
 - ◊ сквозное 306
 - ◊ событийное 307
 - ◊ управляемое событиями 243
 - ◊ циклобазированное 244, 251
- Модель задержки:
 - ◊ инерционная 346
 - ◊ транспортная 345
- Модули интеллектуальной собственности (IP) 259

Н

- Набор эталонных схем 112

О

- Обработка аналоговых сигналов 195
- Объявление конфигурации 405, 412
- Оперативное изменение поведения системы 173
- Оператор:
 - ◊ блока 362
 - Verilog 453
 - ◊ варианта (Verilog) 445
 - ◊ включения (AHDL) 496
 - ◊ возврата 397
 - ◊ вхождения
 - компонентов 405
 - Verilog 458
 - ◊ выбора:
 - VHDL 349
 - AHDL 477
 - ◊ генерации 410
 - ◊ инициализации 434
 - ◊ непрерывный 434
 - ◊ объявления прототипа (AHDL) 496
 - ◊ ожидания 352
 - ◊ параллельный 318, 334, 359
 - ◊ последовательный 334, 343
 - ◊ повторения 353
 - AHDL 480
 - постоянного 436
 - ◊ присваивания 344, 360
 - AHDL 474
 - Verilog 436, 442
 - блокирующий 442
 - неблокирующий 442
 - непрерывного (Verilog) 437
 - по выбору 360
 - параллельного 360
 - последовательного 335
 - условного 360
 - ◊ проверки
 - AHDL 505
 - ASSERT (VHDL) 358
 - ◊ процедурный 434
 - ◊ процесса 334
 - ◊ пустой 348, 350
 - VHDL, 358
 - AHDL 477
 - ◊ таблицы (AHDL) 479

Продолжение рубрики см. на с. 604

Оператор (*прод.*):

- ◊ условия:
 - Verilog 444
 - AHDL 477
 - VHDL 347
- ◊ условной генерации 504
- Операции:
 - ◊ арифметические (Verilog) 432
 - ◊ логические (Verilog) 433
 - ◊ отношения и сравнения (Verilog) 432
 - ◊ свертки 433
 - ◊ сдвига (Verilog) 433
 - ◊ условные 434
- Операционные системы реального времени 184
- Операционный блок 215
- Описание аналоговых, цифровых и смешанных блоков 202
- Оптическая проверка печатных плат 292
- Отладка:
 - ◊ в реальном масштабе времени. 294
 - ◊ аналоговых и гибридных систем 203
 - ◊ программного обеспечения 186
- Отладочные:
 - ◊ кросс-системы 187
 - ◊ оборудование 195
 - ◊ платы 572
 - ◊ средства 156
 - ◊ сценарии 284
- Отладчик-симулятор 591, 592
- Отлаживаемая система (Target-система) 188
- Охранное выражение 363
- Охраняемый оператор 363
- Оценки логической емкости 114

П

- Пакет 414
- Память конфигурации типа Flash 40
- Параллельный блок 453
- Параметры:
 - ◊ в Verilog 430
 - ◊ задержки 440
 - ◊ настройки 319, 320, 371, 406, 409, 410, 417, 419, 497, 505
- Переменные и сигналы 334
- Переносимость проектных решений 213
- Периферийное сканирование 105
- Плавкие перемычки типа fuse 39
- Платформенно-базируемое проектирование 259

ПЛИС:

- ◊ оперативно репрограммируемые 40
- ◊ с комбинированной архитектурой 35, 61
- Подпрограммы (VHDL) 394
- Подтипы 333
- Последовательный блок 453
- Примитивы 462
 - ◊ предопределенные 462
 - ◊ определяемые пользователем (UDP) 463
- Пробиваемые перемычки типа antifuse 39
- Прогноз поведения 344
- Программируемая матричная логика 32
- Программируемые логические матрицы 32
- Проектирование:
 - ◊ аппаратно-программных систем 237
 - ◊ аналоговых фрагментов 196
 - ◊ на концептуальном уровне 149
 - ◊ на основе МИС и СИС 146
 - ◊ с иерархическим описанием 571
 - ◊ связи между МП-ядром и периферией 147
- Проектный модуль (Verilog) 420
- Прототипирование схем БМК схемами FPGA/CPLD 169
- Прототипные платы 228, 248, 593
- Процедура:
 - ◊ проектирования:
 - БИС по методу стандартных ячеек 164
 - БИС по технологии БМК 166
 - ИСПС 154
 - ◊ разработки программного обеспечения 180
 - ◊ VHDL 394
- Процесс проектирования 143
- организация 149
- Процессорный генератор 259

Р

- Разрешаемые сигналы 399
- Расширенные версии JTAG-интерфейса 292
- Реализация проектов на кристаллах SOPC 569
- Реализуемое подмножество языка 507
- Регистры:
 - ◊ AHDL 482
 - ◊ Verilog 423
- Редактор:
 - ◊ временных диаграмм 226
 - ◊ для создания исходных файлов 186
- Режим отладки BDM 193
- Реконструкция проектов 106

Реконфигурация:

- ◊ в системе 105
- ◊ на системном уровне 293
- Реконфигурируемая прототипная система 261

С

Самотестирование БИС 273

САПР:

- ◊ для смешанного или иерархического проектирования 210
- ◊ независимых фирм 207
- ◊ сквозного проектирования 210

Секция:

- ◊ заголовка 468
- ◊ логическая (AHDL) 468
- ◊ предпроектная (AHDL) 468

Семейство микросхем:

- ◊ APEX20K/KE, APEXII 70
- ◊ Excalibur фирмы Altera 91
- ◊ FLEX фирмы Altera 61
- ◊ FPLIC фирмы Atmel 82
- ◊ ispPAC фирмы Lattice Semiconductor 95
- ◊ Virtex, Virtex E, Virtex II фирмы Xilinx 74
- ◊ E5 и A7 фирмы Triscend 88
- ◊ CY8C25/26 фирмы Cypress Semiconductor 98

Сила драйвера 425, 441

Синтез:

- ◊ и верификация логики граничного сканирования 287
- ◊ тестов для проектирования пригодных к тестированию проектов 289

Система:

- ◊ автоматизированного проектирования аналоговых и аналого-цифровых ИСПС 205
- ◊ автоматического проектирования, САПР 140
- ◊ межсоединений FPGA 58
- ◊ моделирования устройств со смешанным представлением информации 200
- ◊ на кристалле 235
- ◊ разработки программного обеспечения 181

Системный уровень автоматизации 241

Событийное управление 449

Со-верификационная процедура 257

Совместное:

- ◊ описание устройства и средств его тестирования 291
- ◊ проектирование цифровых и аналоговых фрагментов 211
- ◊ тестирование межсоединений и функционирования БИС 274
- Со-моделирование аппаратных и программных частей системы 249
- Сопряженная верификация 233
- Сопряженное:
 - ◊ моделирование 233
 - ◊ проектирование 232
 - на базе языка C 248
- Специализированные ИС 23
- Спецификация:
 - ◊ подпрограммы 395
 - ◊ проекта 234, 241
 - ◊ функциональная 257
- Способ описания проекта:
 - ◊ графический 216, 222
 - ◊ поведенческий 217
 - ◊ структурный 217
 - ◊ текстовый 216, 222
- Способы конфигурирования ИСПС 104
- Средства:
 - ◊ автоматизации системного этапа проектирования 150
 - ◊ встроенного самоконтроля (BIST) 287
 - ◊ коммутации VersaRing 75
 - ◊ описания проекта 238
 - ◊ проектирования систем со смешанным представлением сигналов 200
- Стандартные:
 - ◊ библиотеки классов для проблемно-ориентированного программирования 182
 - ◊ ИС 23
- Стандарты Verilog-AMS и VHDL-AMS 203
- Стили программирования 303
- Стратегия проектирования 141
- Структура БМК:
 - ◊ бесканальная 29
 - ◊ канальная 29
- Структуры с динамическим реконфигурированием 69
- Схемы с переключаемыми конденсаторами 94

Т

Таблицы (Verilog) 464

Табличный ФП типа LUT 54

- Тело:
- ◊ оператора повторения 354
 - ◊ пакета 318, 415
- Тестирование:
- ◊ межсоединений 270, 274
 - ◊ печатных плат 264
 - ◊ проекта 226
 - ◊ соединений элементов между собой 282
 - ◊ функционирования БИС 271
- Тестовые процедуры 269
- Технология стандартных ячеек 163
- Типы:
- ◊ BIT 326
 - ◊ BOOLEAN 327
 - ◊ CHARACTER 327
 - ◊ INTEGER 326
 - ◊ REAL 326
 - ◊ STRING 328
 - ◊ TIME 327
 - ◊ данных
 - AHDL 472
 - Время (Verilog) 428
 - действительный 428
 - логический
 - символьный (AHDL) 471
 - целочисленный (AHDL) 471
 - целый (Verilog) 428
 - ◊ массива 330
 - ◊ памяти конфигурации 40
 - ◊ перечислимый 328
 - ◊ физические, 330
 - ◊ цепей триггерные 424

У

- Указание использования (Use Clause) 319
- Управление:
- ◊ временем 449
 - ◊ процессами в реальном времени 183
 - ◊ триггерами 373
 - асинхронное 373
 - динамическое 374
 - статическое 374

Ф

- Формулы Бэкуса—Науэра (BNF) 313
- Функции:
- ◊ преобразования:
 - число— битовый вектор 380
 - битовый вектор — число 380

- ◊ разрешения 399
 - ◊ VHDL 394
- Функциональная:
- ◊ спецификация 141
 - ◊ ячейка 29
- Функциональные блоки CPLD 46

Ц

- Цепи (nets) 423
- Цифровые автоматы (описание на VHDL) 385

Ч

- Частота работы системная 117
- Численные данные (VHDL) 326
- Число эквивалентных вентилей 111

Э

- Эмуляционные средства 246
- Эмуляционный кристалл 193
- Эмуляция ПЗУ 189
- Этап:
- ◊ декомпозиции проекта 214
 - ◊ системного проектирования 142
 - ◊ технологической реализации проекта 156
 - ◊ отладки аппаратно-программных систем 244
- Эффективность:
- ◊ верификации проектов 212
 - ◊ совместного моделирования цифровых и аналоговых схем 200

Я

- Язык:
- ◊ взаимосвязи различных САПР между собой Tcl 209
 - ◊ описания:
 - RTLC 242
 - Superlog 242
 - ◊ системного уровня:
 - описания 241
 - проектирования на базе языка C 252
- Языки, связанные с тестированием аппаратуры 277

SoftLine^{direct}

КАТАЛОГ ПРОГРАММНОГО ОБЕСПЕЧЕНИЯ



119991 г. Москва,
ул. Губкина, 8
(095) 232-0023
info@softline.ru
www.softline.ru

- ◊ Если вы хотите быть в курсе всех последних событий на рынке программного обеспечения,
- ◊ Если вы хотите получать наиболее полную информацию о программных продуктах из первых рук — от самих производителей,
- ◊ Если вы ведете честный бизнес и покупаете лицензионное ПО

ЗНАЧИТ ВАША ЖИЗНЬ МОЖЕТ СТАТЬ ПРОЩЕ!

Подпишитесь на новый полноцветный каталог, издаваемый одним из крупнейших поставщиков программного обеспечения в России, и вы будете регулярно получать его по почте. Кроме того, по вашему желанию на ваш электронный адрес будут регулярно приходить еженедельные новости рынка программного обеспечения от компании SoftLine.

Подписка БЕСПЛАТНО
для руководителей и специалистов
в области информационных технологий,
представляющих организации,
имеющие более 10 компьютеров!

